

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-109880

(43)Date of publication of application : 30.04.1993

(51)Int.CI.

H01L 21/76

(21)Application number : 03-265057

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 14.10.1991

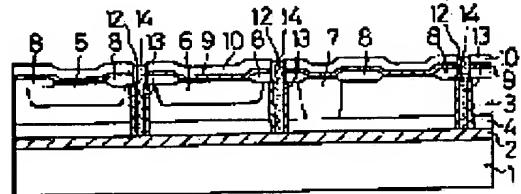
(72)Inventor : MIURA SHOJI  
SUGISAKA TAKAYOSHI  
SAKAKIBARA TOSHIO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To form an isolation groove in the thick part of a field oxide film without spoiling flatness, to restrain a crystal defect from being caused in a silicon substrate and to prevent a semiconductor device from becoming unnecessarily large-sized.

**CONSTITUTION:** A field oxide film 8, a silicon nitride film 9 and a silicon oxide film (a CVD-SiO<sub>2</sub> film) 10 as a mask are formed sequentially on the main face of a second silicon substrate 3. Isolation grooves 12 which reach an insulating film 2 are formed by a selective etching operation. Insulating films 13 are formed on the inner wall surface of the isolation grooves 12. Polycrystalline silicon 14 is filled into the isolation grooves 12. While a control operation is being executed in such a way that the upper end of the polycrystalline silicon 14 inside the isolation grooves 12 becomes higher than the upper end of the silicon nitride film 9, the polycrystalline silicon 14 is etched back. The CVD-SiO<sub>2</sub> film 10 is etched and removed while the polycrystalline silicon 14 inside the isolation grooves 12 and the silicon nitride film 9 are used as etching stopper parts.



## LEGAL STATUS

[Date of request for examination] 12.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3021850

[Date of registration] 14.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-109880

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.<sup>5</sup>

H 01 L 21/76

識別記号

庁内整理番号

D 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号 特願平3-265057

(22)出願日 平成3年(1991)10月14日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 三浦 昭二

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 杉坂 貴是

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 横原 利夫

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

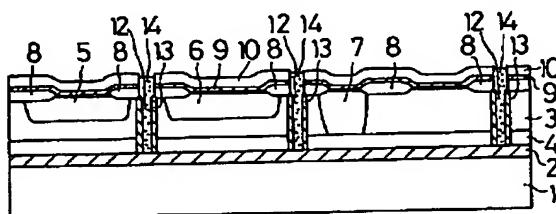
(74)代理人 弁理士 大川 宏

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 平坦性を損なうことなくフィールド酸化膜の厚肉部分に分離溝を形成して、シリコン基板の結晶欠陥の発生を抑え、かつ半導体装置が不要に大型化することを防ぐ。

【構成】 第2シリコン基板3の主面に、フィールド酸化膜8、シリコン窒化膜9、及びマスクとしてのシリコン酸化膜(CVD-SiO<sub>2</sub>膜)10を順に形成する。絶縁膜2に達する分離溝12を選択エッチングにより形成する。分離溝12の内壁面に絶縁被膜13を形成する。分離溝12内に多結晶シリコン14を充填する。分離溝12内の多結晶シリコン14の上端がシリコン窒化膜9の上端より上になるように制御しながら多結晶シリコン14をエッチングパックする。分離溝12内の多結晶シリコン14とシリコン窒化膜9とをエッチングストップ部として、CVD-SiO<sub>2</sub>膜10をエッチング除去する。



## 【特許請求の範囲】

【請求項1】シリコン基板の正面に、部分的に肉厚となったフィールド酸化膜、シリコン窒化膜又は多結晶シリコン膜、及びマスクとしてのシリコン酸化膜を順に形成する工程と、

該フィールド酸化膜の肉厚範囲において、該フィールド酸化膜、該シリコン窒化膜又は該多結晶シリコン膜、及び該シリコン酸化膜を選択エッチングして開口を形成する工程と、

該開口から上記シリコン基板をエッチングして分離溝を形成する工程と、

該分離溝の内壁面に絶縁被膜を形成する工程と、

上記分離溝内に多結晶シリコンを充填する工程と、

上記シリコン酸化膜上に堆積された多結晶シリコンを、

上記分離溝内の多結晶シリコンの上端が上記シリコン窒化膜又は多結晶シリコン膜の上端より上になるようにエッチング制御しながらエッチングバックする工程と、

上記第2シリコン酸化膜を、上記分離溝内の多結晶シリコンと上記シリコン窒化膜又は多結晶シリコン膜とを上記フィールド酸化膜及び上記絶縁被膜に対するエッチングトップ部としながらエッチング除去する工程とを具備することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、詳しくはシリコン基板に絶縁体により素子分離を施すバイポーラトランジスタなどの半導体装置の製法方法に関する。

## 【0002】

【従来の技術】従来より、モノリシックな半導体集積回路に用いられる素子間分離法として、素子間の分離を絶縁体で行う方法が知られている。例えば、Ultra-Fast Silicon Bipolar Technology、66頁には、シリコン基板の正面に、部分的に肉厚となったフィールド酸化膜を形成した後、素子分離用の分離溝を形成する方法が開示されている。この方法を以下に説明する。

【0003】図18に示すように、シリコン基板31の正面に、部分的に肉厚となったフィールド酸化膜32、シリコン窒化膜33及びマスクとしてのシリコン酸化膜34を順に形成し、該フィールド酸化膜の薄肉範囲において、該フィールド酸化膜32、該シリコン窒化膜33及び該シリコン酸化膜34を選択エッチングして開口を形成した後、該開口から上記シリコン基板31をエッチングして分離溝35を形成する。そして、マスクとしてのシリコン酸化膜34をエッチング除去し、分離溝35の内壁面に絶縁被膜36を形成した後、上記分離溝35内に多結晶シリコン37を充填する。さらに、多結晶シリコン37の充填時に上記シリコン窒化膜33上に堆積された多結晶シリコン37をエッチングバックするとと

もに、シリコン窒化膜33をエッチング除去した後、分離溝内の多結晶シリコン37の上部に酸化膜38を形成することにより(図18参照)、分離溝35及び絶縁被膜36でシリコン基板31を電気的に完全に分離するものである。

## 【0004】

【発明が解決しようとする課題】ところで、上記従来の方法のように、フィールド酸化膜形成後に分離溝を形成するのは、分離溝周りの結晶欠陥の発生を抑えるためである。すなわち、分離溝を形成して絶縁分離を施してからフィールド酸化膜を形成した場合、シリコン基板が酸化してフィールド酸化膜となる際に体積膨張するので、シリコン基板の分離溝との境界部に応力が集中し、この結果結晶欠陥が発生する。

【0005】また、上記従来の方法のように、フィールド酸化膜形成後、該フィールド酸化膜の薄肉部分に分離溝を形成するのは、フィールド酸化膜の厚肉部分に分離溝を形成した場合、該分離溝によりフィールド酸化膜の端面が大きく露出するので、マスクとしてのシリコン酸化膜をエッチング除去する際にフィールド酸化膜がエッチングにより削られて大きなくびれが発生して、基板表面の平坦性が悪化するからである。

【0006】ところが、上記従来の方法のように、フィールド酸化膜形成後、該フィールド酸化膜の薄肉部分に分離溝を形成する場合、上記したようなフィールド酸化膜の厚肉部分の端面が分離溝により露出することによる不都合を確実に防ぐには、マスクの合わせずれを見込んで、製造する半導体装置、例えばトランジスタのサイズを大きくしなければならなかった。

【0007】また、フィールド酸化膜32の薄肉部分に分離溝35を形成した関係上、分離溝35の上端周囲にシリコン基板31の縁部Bが存在し、このためエッチングバックされた多結晶シリコン37の上端が上記縁部Bより下方に位置するので、多結晶シリコン37の上部に酸化膜38を形成する際に角部に縦型バーズピークAが形成され、この結果上記シリコン基板31の縁部Bに応力が集中して結晶欠陥が発生しやすくなる。

【0008】本発明は上記実情に鑑みてなされたものであり、基板表面の平坦性を悪化させることなくフィールド酸化膜の厚肉部分への分離溝形成を可能とすることにより、半導体装置の不要なサイズの大型化及び結晶欠陥の発生を防ぐことを目的とする。

## 【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、シリコン基板の正面に、部分的に肉厚となったフィールド酸化膜、シリコン窒化膜又は多結晶シリコン膜、及びマスクとしてのシリコン酸化膜を順に形成する工程と、該フィールド酸化膜の肉厚範囲において、該フィールド酸化膜、該シリコン窒化膜又は該多結晶シリコン膜、及び該シリコン酸化膜を選択エッチングして開

口を形成する工程と、該開口から上記シリコン基板をエッティングして分離溝を形成する工程と、該分離溝の内壁面に絶縁被膜を形成する工程と、上記分離溝内に多結晶シリコンを充填する工程と、上記シリコン酸化膜上に堆積された多結晶シリコンを、上記分離溝内の多結晶シリコンの上端が上記シリコン窒化膜又は多結晶シリコン膜の上端より上になるようにエッティング制御しながらエッティングバックする工程と、上記第2シリコン酸化膜を、上記分離溝内の多結晶シリコンと上記シリコン窒化膜又は多結晶シリコン膜とを上記フィールド酸化膜及び上記絶縁被膜に対するエッティングストップ部としながらエッティング除去する工程とを具備することを特徴とする。

【0010】

【作用】本発明の半導体装置の製造方法では、シリコン基板の主面に、部分的に肉厚となったフィールド酸化膜、シリコン窒化膜又は多結晶シリコン膜、及びシリコン酸化膜を順に形成するとともに、多結晶シリコンをエッティングバックする際に分離溝内の多結晶シリコンの上端が上記シリコン窒化膜又は多結晶シリコン膜の上端より上になるようにエッティング制御する。このため、マスクとしてのシリコン酸化膜をエッティング除去する際、分離溝内の多結晶シリコンとシリコン窒化膜又は多結晶シリコン膜とが、前記フィールド酸化膜及び前記絶縁被膜に対するエッティングストップ部として作用するので、フィールド酸化膜や絶縁被膜がエッティングされず、分離溝部分の基板表面の平坦性を損なうことなくフィールド酸化膜の厚肉範囲に分離溝を形成することができる。

【0011】また、上記のようにフィールド酸化膜の厚肉範囲に分離溝を形成するとともに、エッティングバックされた多結晶シリコンの上端はシリコン基板の上端よりも上に位置するので、該多結晶シリコンが酸化される際に、フィールド酸化膜の薄肉範囲に分離溝を形成する従来の方法のように縦バースピークによりシリコン基板に応力が発生して結晶欠陥が発生することがない。またフィールド酸化膜の薄肉範囲に分離溝を形成する従来の方法のように、マスクの合わせずれを見込んで半導体装置のサイズを大きくする必要がない。

【0012】

【実施例】以下、本発明の実施例を図に基づき説明する。

(第1実施例) P-型の第1シリコン基板1の一方の主面に鏡面研磨を施した後、熱酸化を施し所定の膜厚の絶縁膜2を形成した。そして、この第1シリコン基板1の絶縁膜2側に、鏡面研磨された主面を有する第2シリコン基板3を十分に清浄な雰囲気下で密着、加熱して、それぞれのシリコン基板1、3で絶縁膜2を挟むように一体に接合した。これにより、第1シリコン基板1上に絶縁膜2を介して第2シリコン基板3を接合して構成されたSOI基板を作製した(図1参照)。なお、図1中、4は接合を施す前に第2のN-型シリコン基板表面より

ドーピングすることにより形成したN型の高濃度不純物(Sb)層である。

【0013】そして、一連の酸化、フォトリソグラフィ、不純物拡散工程により、Pウェル領域5、Nウェル領域6、ディープN+領域7を第2シリコン基板3に形成した(図2参照)。なお、この間第2シリコン基板3の表面の酸化膜の成長及び除去は自由に行なえる。この後、第2シリコン基板3の表面に、フィールド酸化膜8をLOCOS(Local Oxidation of Silicon)法により形成した(図3参照)。なお、LOCOS法は所定部位に酸化抑制膜としてのSi<sub>x</sub>N<sub>y</sub>膜を形成した後、該Si<sub>x</sub>N<sub>y</sub>膜が形成されていない部位を熱酸化などにより酸化するもので、図3はLOCOS法による酸化後、Si<sub>x</sub>N<sub>y</sub>膜をH<sub>2</sub>PO<sub>4</sub>により除去した後の図である。

【0014】次に本発明のシリコン窒化膜をなすSi<sub>x</sub>N<sub>y</sub>膜9及び本発明のマスクとしてのシリコン酸化膜をなすCVD-SiO<sub>2</sub>膜10を堆積させ、1000°Cのアニール処理を行なって、CVD-SiO<sub>2</sub>膜10を緻密化した。続いて、上記フィールド酸化膜8の厚肉範囲において、フォトリソグラフィ処理及びエッティングガスとしてCF<sub>4</sub>、CHF<sub>3</sub>系ガスを用いたR.I.E(Reactive Ion Etching)処理を施し、CVD-SiO<sub>2</sub>膜10の表面に形成されたレジスト膜をマスクとして、フィールド酸化膜8、Si<sub>x</sub>N<sub>y</sub>膜9及びCVD-SiO<sub>2</sub>膜10を第2シリコン基板3の表面に達するまで選択的にエッティングして開口11を形成した(図4参照)。

【0015】上記レジスト膜除去後、CVD-SiO<sub>2</sub>膜10をマスクにしエッティングガスとしてHBr系ガスを用いたR.I.E処理により第2シリコン基板3を選択的にエッティングし、絶縁膜2に達する分離溝12を形成した(図5参照)。次に、分離溝12の内壁面にC.D.E処理を施した。このC.D.E処理は、RF放電型のプラズマエッティング装置を用い、原料ガス:CF<sub>4</sub>、O<sub>2</sub>、N<sub>2</sub>、周波数:13.56MHz、エッティング速度:1500Å/minの条件で行った。これにより、分離溝12の内壁面を約1500Åエッティングした。

【0016】次に、C.D.E処理した分離溝12の内壁面をアニール処理した。このアニール処理は、N<sub>2</sub>雰囲気下で、1000°Cの温度で30分加熱することにより行った。次いで、分離溝12の内壁面に熱酸化により絶縁被膜13を形成した後、多結晶シリコン14をLPCVD法により分離溝12及びCVD-SiO<sub>2</sub>膜10上に堆積させて、分離溝12に多結晶シリコン14を充填した(図6参照)。

【0017】次に、ドライエッティング処理により、CVD-SiO<sub>2</sub>膜10の上に堆積した多結晶シリコン14をエッティングバック(1回目)した(図7参照)。この

時、分離溝12内に残る多結晶シリコン14の上端はSi, N, 膜9より上になるようエッティングをストップさせた。次に、フッ素溶液によるウェットエッティング処理によりCVD-SiO<sub>2</sub>膜10をエッティング除去した(図8参照)。この時、Si, N, 膜9と、このSi, N, 膜9より上に上端がくるように残した多結晶シリコン14とがエッティングストップ部となり、フィールド酸化膜8及び分離溝12の内壁面に形成された絶縁被膜13は、エッティングされなかった。

【0018】次に、ドライエッティング処理により、分離溝12内に埋め込まれた多結晶シリコン14のSi, N, 膜9より上に突出している部分のエッティングパック(2回目)を行なった(図9参照)。この時、次工程で多結晶シリコン14の上側に後述する熱酸化膜15を形成したときに、熱酸化膜15と周囲のフィールド酸化膜8とが同一高さとなるように、多結晶シリコン14の上端はフィールド酸化膜8の上端から0.3μm程度下側になるよう制御するのが望ましい。

【0019】次に、分離溝12内に埋め込まれた多結晶シリコン14の上部に熱酸化により酸化膜15を形成した後(図10参照)、Si, N, 膜9をエッティング除去した(図11参照)。図11からも明らかなように、分離溝12部分は段差が形成されず、平坦な形状を有している。次に、薄いゲート酸化膜を形成し、LPCVD処理、フォトリソグラフィおよびエッティング処理を施すことにより多結晶シリコン配線(ゲート電極)16を形成し、選択ドーピングによりP<sup>+</sup>拡散層17、N<sup>+</sup>拡散層18を形成する(図12参照)。この間、フィールド酸化膜8のエッティングは0.2μm程度であり、前記分離溝12部分の平坦性は損なわれない。

【0020】続いて層間絶縁膜(酸化膜)19を堆積し、必要な部分にコンタクトホールを形成し、A1配線20、保護膜(酸化膜)21を形成して、半導体装置を製造した(図13参照)。このように、本実施例の製造方法によれば、分離溝12部分の段差は形成されず、平坦な形状が得られるので、ポリシリコン配線16、A1配線20の段切れ、ショートが発生することのない半導体装置を製造することができる。

【0021】また、上記のようにフィールド酸化膜8の厚肉範囲に分離溝を形成するとともに、2回目のエッティングパックされた多結晶シリコン14の上端は第2シリコン基板3の上端よりも上に位置する(図9参照)ので、該多結晶シリコン14が酸化される際に、フィールド酸化膜8の薄肉範囲に分離溝を形成する従来の方法のように縦バースピークにより第2シリコン基板3に応力が発生して結晶欠陥が発生することがない。したがって、結晶欠陥に起因して発生する電流漏れを防ぐことができる。さらに、フィールド酸化膜8の薄肉範囲に分離溝を形成する従来の方法のように、マスクの合わせずれを見込んで、半導体装置のサイズを大きくする必要がな

く、半導体装置の小型化を図ることができる。

【0022】さらに、上記実施例では、分離溝12の内壁面にC, D, E処理及びアニール処理を施している。このため、分離溝12の形成時に分離溝12の内壁面などに発生したダメージ層をC, D, E処理で十分に又は完全に除去し、その後のアニール処理により、C, D, E処理で除去しきれなかったダメージ層やC, D, E処理で新たに発生したダメージ層を回復でき、分離溝12の内壁面などの結晶欠陥を解消することが可能となる。

【0023】なお、上記実施例では本発明をSOI基板に適用する例について示したが、単なるシリコン基板にも本発明を適用することができる。また上記実施例では、マスクとしてのシリコン酸化膜としてCVD-SiO<sub>2</sub>膜を形成したが、CVD-SiO<sub>2</sub>膜の代わりにPSG膜(Phospho Silicate Glass)を形成してもよい。

【0024】さらに上記実施例では、ドライエッティング処理により多結晶シリコン14のエッティングパックを行ったが、研磨技術により行ってもよい。

(第2実施例)上記第1実施例のSi, N, 膜9の代わりに多結晶シリコン膜9'を用いた第2実施例を以下説明する。

【0025】上述の図1から図3に示す工程を経た後、本実施例ではLPCVDにより多結晶シリコン膜9'、CVDによりSiO<sub>2</sub>膜10を堆積し、上述の図4に示す工程と同様に、1000°Cのアニール処理を行い、SiO<sub>2</sub>膜10を緻密化する。続いて、レジストを堆積し、フォトリソグラフィ処理を施してレジストパターンを形成し、エッティングガスとしてCF<sub>4</sub>, CHF<sub>3</sub>系ガスを用いたRIE処理によりSiO<sub>2</sub>膜10、多結晶シリコン膜9'及びフィールド酸化膜8に開口11を形成し、基板表面にSi, N, 膜22を堆積する(図14参照)。そして、異方性RIE処理を施し、開口11の側壁にのみSi, N, 膜22を残す(図15参照)。このSi, N, 膜22は後工程において分離溝12内壁に熱酸化による絶縁被膜13形成時に、開口11内に露出する多結晶シリコン膜9'が同時に酸化されないようにするものである。

【0026】次に、SiO<sub>2</sub>膜10をマスクとしてエッティングガスとしてHBr系ガスを用いたRIE処理を施し、第2のシリコン基板3を選択的にエッティングし、絶縁膜2まで達する分離溝12を形成する。続いて、分離溝12の内壁面に前記第1実施例と同様に、C, D, E処理、アニール処理を順に施す。そして、分離溝12の内壁面を熱酸化して絶縁被膜13を形成し、その後H<sub>2</sub>PO<sub>4</sub>液により開口11の壁面を被覆していたSi, N, 膜22を除去する(図16参照)。上述のようにこの絶縁被膜13形成時において、開口11にはSi, N, 膜22により多結晶シリコン膜9'は露出しておらず、酸化されることはない。ここで、多結晶シリ

7

コン膜9'が酸化されると、後工程においてSiO<sub>2</sub>膜10をエッティング除去する際に、多結晶シリコン膜9'の酸化部分も同時にエッチャントによりエッティングされてしまうことになり、分離溝12部分において段差の生じる原因となってしまう。

【0027】次いで、上述の図6に示す工程と同様に、多結晶シリコン14を堆積後(図17参照)、上述の図7から図13に示す工程と同様の工程を経て、図13に示すBi-CMOS半導体装置が製造される。なお、本実施例においては、多結晶シリコン膜9'と分離溝12内に充填した多結晶シリコン14とが、SiO<sub>2</sub>膜10除去時のエッティングストップとして作用し、多結晶シリコン膜9'下層のフィールド酸化膜8、絶縁被膜13が同時にエッティングされてしまうことは防止される。また、上述したように多結晶シリコン膜9'にも酸化部分が存在しないため、そこから下層へエッティングが進行することもない。

【0028】さらには、本第2実施例においては、多結晶シリコン膜14の2回目のエッティングバックと同時に多結晶シリコン膜9'を除去することができる。

【0029】

【発明の効果】以上詳述したように本発明の半導体装置の製造方法は、シリコン基板の平坦性を損なうことなくフィールド酸化膜の厚肉範囲に分離溝を形成することが可能となった。したがって、マスクの合わせずれを見込む必要がなく、かつシリコン基板の結晶欠陥の発生も抑制されるので、多結晶シリコン配線及びA1配線の断切れ、ショートがなく、かつ不要に大型化することのない半導体装置を製造することが可能となる。

【図面の簡単な説明】

【図1】第1実施例の半導体装置の製造方法を示す工程図である。

【図2】第1実施例の半導体装置の製造方法を示す工程図である。

【図3】第1実施例の半導体装置の製造方法を示す工程図である。

【図4】第1実施例の半導体装置の製造方法を示す工程図である。

\* 【図5】第1実施例の半導体装置の製造方法を示す工程図である。

【図6】第1実施例の半導体装置の製造方法を示す工程図である。

【図7】第1実施例の半導体装置の製造方法を示す工程図である。

【図8】第1実施例の半導体装置の製造方法を示す工程図である。

【図9】第1実施例の半導体装置の製造方法を示す工程図である。

【図10】第1実施例の半導体装置の製造方法を示す工程図である。

【図11】第1実施例の半導体装置の製造方法を示す工程図である。

【図12】第1実施例の半導体装置の製造方法を示す工程図である。

【図13】第1実施例の半導体装置の製造方法を示す工程図である。

【図14】第2実施例の半導体装置の製造方法を示す工程図である。

【図15】第2実施例の半導体装置の製造方法を示す工程図である。

【図16】第2実施例の半導体装置の製造方法を示す工程図である。

【図17】第2実施例の半導体装置の製造方法を示す工程図である。

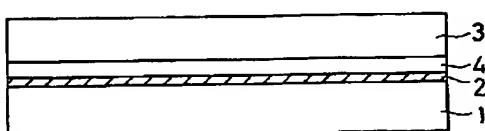
【図18】従来の半導体装置の製造方法を示す工程図である。

【図19】従来の半導体装置の製造方法を示す工程図である。

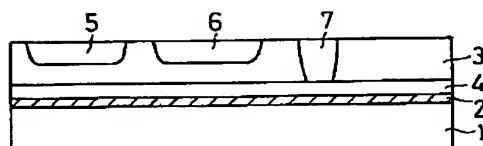
【符号の説明】

1は第1シリコン基板、2は絶縁膜、3は第2シリコン基板、8はフィールド酸化膜、9はシリコン窒化膜をなすSi<sub>3</sub>N<sub>4</sub>膜、9'は多結晶シリコン膜、10はマスクとしてのシリコン酸化膜をなすCVD-SiO<sub>2</sub>膜、11は開口、12は分離溝、13は絶縁被膜、14は多結晶シリコンである。

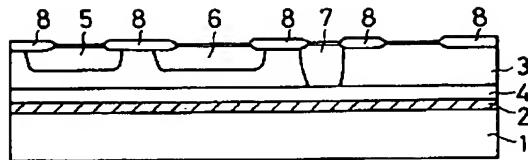
【図1】



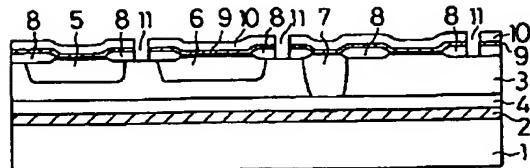
【図2】



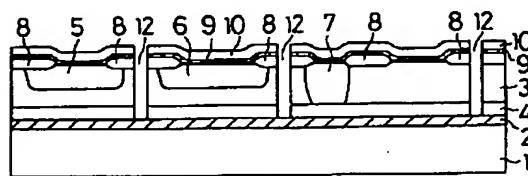
【図3】



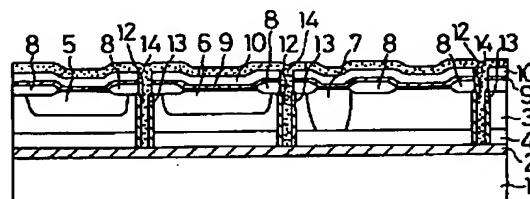
【図4】



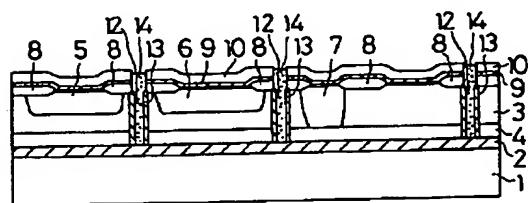
【図5】



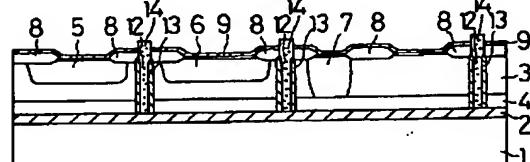
【図6】



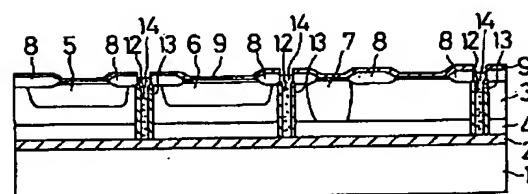
【図7】



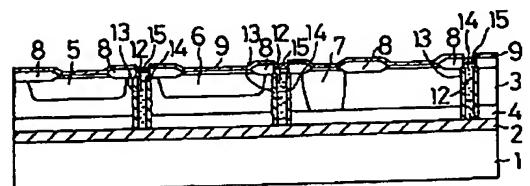
【図8】



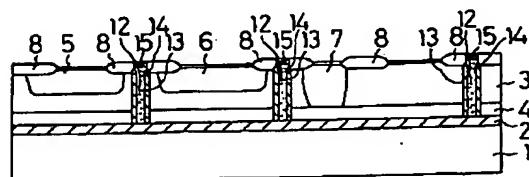
【図9】



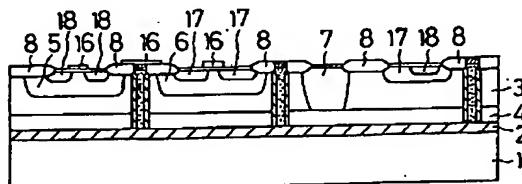
【図10】



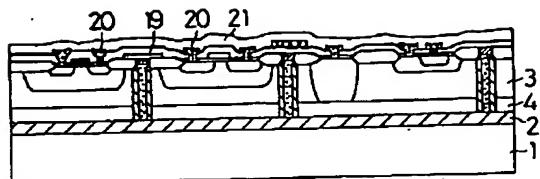
【図11】



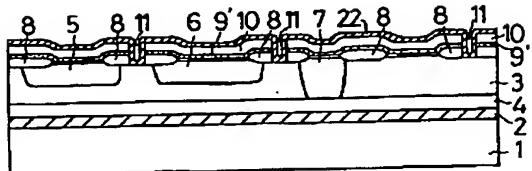
【図12】



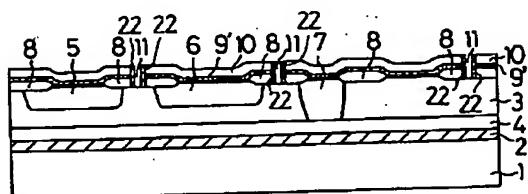
【図13】



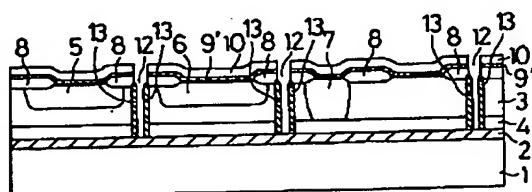
【図14】



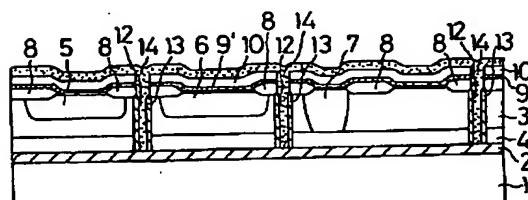
【図15】



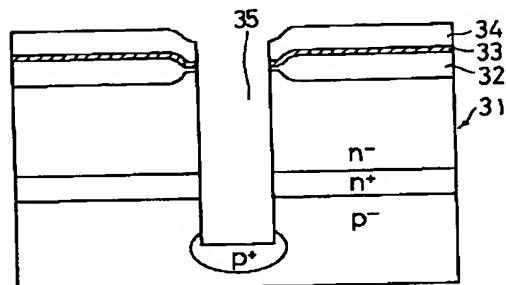
【図16】



【図17】



【図18】



【図19】

